

(11)特許出願公開番号
特開2003-86602
(P2003-86602A)

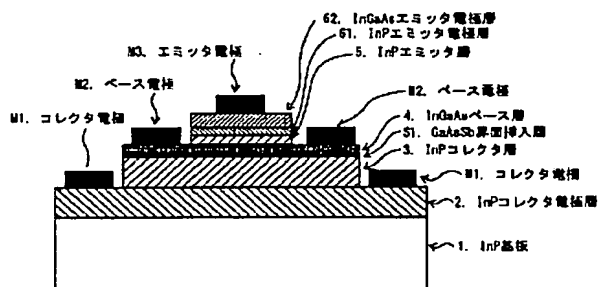
(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 21/331		H 0 1 L 29/72	H 5 F 0 0 3
29/737			

(71)出願人 000004226
日本電信電話株式会社
東京都千代田区大手町二丁目3番1号

(72)発明者 波邊 則之
東京都千代田区大手町二丁目3番1号日本
電信電話株式会社内

(72)発明者 小田 康裕
東京都千代田区大手町二丁目3番1号日本
電信電話株式会社内

(74)代理人 100088096
弁理士 福森 久夫



【特許請求の範囲】

【請求項1】 第1の導電型を与える導電性不純物を添加されたコレクタ電極層、第1の導電型を与える導電性不純物を添加された、もしくは、導電性不純物を添加されていないコレクタ層、第2の導電型を与える導電性不純物を添加されたベース層、第1の導電型を与える導電性不純物を添加された、あるいは、導電性不純物を添加されていないエミッタ層、および、第1の導電型を与える導電性不純物を添加されたエミッタ電極層からなり、エミッタ層とベース層が異なる材料で構成されたヘテロ接合バイポーラトランジスタにおいて、

第1の導電型がn型であり、コレクタ層（又はエミッタ層）を構成する材料とのヘテロ界面において、価電子帯のエネルギーがコレクタ層を構成する材料の価電子帯のエネルギーよりも高くかつ伝導電子帯のエネルギーがコレクタ層（又はエミッタ層）を構成する材料の伝導電子帯のエネルギーよりも高く、かつ、ベース層を構成する材料とのヘテロ界面において、価電子帯のエネルギーがベース層（又はエミッタ層）を構成する材料の価電子帯のエネルギーよりも高くかつ伝導電子帯のエネルギーがベース層を構成する材料の伝導電子帯のエネルギーよりも高く、なおかつ、コレクタ層（又はエミッタ層）を構成する材料とのヘテロ界面における伝導電子帯におけるエネルギー不連続量が、ベース層を構成する材料とのエネルギーギャップの差よりも大きい半導体層をベース層とコレクタ層との界面及び／又はベース層とコレクタ層との界面に含むことを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 該ヘテロ接合バイポーラトランジスタがInP基板上に構成されており、コレクタ層（又はエミッタ層）がInP、ベース層がInGaAsから構成され、ベース層とコレクタ層との界面及び／又はベース層とエミッタ層との界面に挿入された半導体層がV族元素としてSbを含む材料から構成されていることを特徴とする請求項1のヘテロ接合バイポーラトランジスタ。

【請求項3】 ベース層とコレクタ層と界面及び／又はベース層とエミッタ層との界面に挿入された半導体層がGaAsSbであることを特徴とする請求項2のヘテロ接合バイポーラトランジスタにおいて、ヘテロ接合バイポーラトランジスタ。

【請求項4】 第1の導電型を与える導電性不純物を添加されたコレクタ電極層、第1の導電型を与える導電性不純物を添加された、もしくは、導電性不純物を添加されていないコレクタ層、第2の導電型を与える導電性不純物を添加されたベース層、第1の導電型を与える導電性不純物を添加された、あるいは、導電性不純物を添加されていないエミッタ層、および、第1の導電型を与える導電性不純物を添加されたエミッタ電極層からなり、エミッタ層とベース層が異なる材料で構成された、ヘテロ接合バイポーラトランジスタにおいて、第1の導電型

がp型であり、コレクタ層（又はエミッタ層）を構成する材料とのヘテロ界面において、価電子帯のエネルギーがコレクタ層（又はエミッタ層）を構成する材料の価電子帯のエネルギーよりも低くかつ伝導電子帯のエネルギーがコレクタ層（又はエミッタ層）を構成する材料の伝導電子帯のエネルギーよりも低く、かつ、ベース層を構成する材料とのヘテロ界面において、価電子帯のエネルギーがベース層を構成する材料の価電子帯のエネルギーよりも低くかつ伝導電子帯のエネルギーがベース層を構成する材料の伝導電子帯のエネルギーよりも低く、なおかつ、コレクタ層（又はエミッタ層）を構成する材料とのヘテロ界面における価電子帯におけるエネルギー不連続量が、ベース層を構成する材料とのエネルギーギャップの差よりも大きい半導体層をベース層とコレクタ層との界面及び／又はベース層とエミッタ層との界面に含むことを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項5】 前記半導体層は2nm以下であることを特徴とする請求項1ないし4のいずれか1項に記載のヘテロ接合バイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、化合物半導体を用いた超高速ヘテロ接合バイポーラトランジスタに関するものである。

【0002】

【従来の技術】エミッタ層にベース層よりもエネルギーギャップの大きい半導体を用いたヘテロ接合バイポーラトランジスタ（Heterostructure Bipolar Transistor: HBT）は、高速・高周波素子としての優れた特性を有しており、さまざまな応用が期待されている。GaAs基板上にHBTを構成する場合、GaAsとAlGaAsとの組み合わせやInGaPとGaAsの組み合わせを基本とする半導体材料の構成が、また、InP基板上にHBTを構成する場合には、InPとInGaAsの組み合わせを基本とする半導体材料の構成が、実用上最も重要度が高くかつ広範に用いられている。

【0003】InP基板上に構成されるHBTにおいて、エミッタ層だけでなくコレクタ層にもベース層よりもエネルギーギャップの大きい半導体を用いたダブルヘテロ構造HBT（DHBT）は、エネルギーギャップの大きな半導体材料をコレクタに用いることにより、InP/InGaAsとHBTの欠点でもある低耐圧を改善することが可能であり、近年検討が進められている。よく用いられる材料の組み合わせは、エミッタ・コレクタ層にInPやInAlAs、ベース層にInGaAsで構成した構造である。しかし、この場合、InPやInAlAsとInGaAsとのヘテロ界面でのバンド不連続は図1(a)に示すような、いわゆるType Iであるため、ベース・コレクタ間にバンド不連続に起因するエネルギー障壁が形成されることとなり（図

2)、I-V特性へのキンク現象の発現(図3)や素子抵抗の増大など、好ましくない影響を与えてしまうという欠点があった。

【0004】こうした欠点を解決するものとして近年注目されているのが、ベース層をGaAsSbで構成したDHBTである。InPやInAlAsとGaAsSbとのヘテロ界面でのバンド不連続は図1(b)に示すような、いわゆるTypeII-staggeredであり、ベース・コレクタ間にエネルギー障壁は形成されずに(図4)、理想的なDHBT構造を構成することができる。

【0005】しかしながら、GaAsSbはInGaAsに比べて移動度が低く、ベース層の不純物濃度や層厚が同じであっても、InGaAsベースDHBTよりもベースシート抵抗が高くなってしまいうという欠点があった。例えば典型的な例として、層厚50nm、不純物濃度 $4 \times 10^{19} \text{ cm}^{-3}$ のベース層を形成した場合、InGaAsベースではシート抵抗は500~600Ω/□程度であるのに対し、GaAsSbベースでは1000Ω/□程度の高い値になってしまう。そのため、同程度のベースシート抵抗を得るためにはInGaAsベースの場合よりもおよそ2倍の高濃度に不純物を添加する必要がある。このような高濃度の不純物添加はベース層の結晶品質の劣化を招いて素子特性そのものを低下させ、また、素子の長期安定動作をも損ねるおそれもある。

【0006】

【発明が解決しようとする課題】すなわち、InGaAsベースDHBTにおいては、ベース・コレクタ層間に形成されるエネルギー障壁により良好な素子特性が得られず、また、GaAsSbベースDHBTにおいては、InGaAsベースDHBTに比べてベースシート抵抗が高いものしかできない、あるいは、同じベースシート抵抗のものではベースドーピング濃度を高くしなければならず、長期信頼性を含めた素子特性が良好ではない、という問題点があった。

【0007】本発明は、上記の欠点を解消し、InGaAsベースDHBTと同等のベースシート抵抗を有し、かつ、GaAsSbベースDHBTと同等な理想的な特性を示すヘテロ接合バイポーラトランジスタを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の第1の要旨は、第1の導電型を与える導電性不純物を添加されたコレクタ電極層、第1の導電型を与える導電性不純物を添加された、もしくは、導電性不純物を添加されていないコレクタ層、第2の導電型を与える導電性不純物を添加されたベース層、第1の導電型を与える導電性不純物を添加された、あるいは、導電性不純物を添加されていないエミッタ層、および、第1の導電型を与える導電性不純物を添加されたエミッタ電極層からなり、エミッタ層とベ

ース層が異なる材料で構成されたヘテロ接合バイポーラトランジスタにおいて、第1の導電型がn型であり、コレクタ層(又はエミッタ層)を構成する材料とのヘテロ界面において、価電子帯のエネルギーがコレクタ層を構成する材料の価電子帯のエネルギーよりも高くかつ伝導電子帯のエネルギーがコレクタ層(又はエミッタ層)を構成する材料の伝導電子帯のエネルギーよりも高く、かつ、ベース層を構成する材料とのヘテロ界面において、価電子帯のエネルギーがベース層(又はエミッタ層)を構成する材料の価電子帯のエネルギーよりも高くかつ伝導電子帯のエネルギーがベース層を構成する材料の伝導電子帯のエネルギーよりも高く、なおかつ、コレクタ層(又はエミッタ層)を構成する材料とのヘテロ界面における伝導電子帯におけるエネルギー不連続量が、ベース層を構成する材料とのエネルギーギャップの差よりも大きい半導体層をベース層とコレクタ層との界面及び/又はベース層とコレクタ層との界面に含むことを特徴とするヘテロ接合バイポーラトランジスタに存在する。

【0009】本発明の第2の要旨は、第1の導電型を与える導電性不純物を添加されたコレクタ電極層、第1の導電型を与える導電性不純物を添加された、もしくは、導電性不純物を添加されていないコレクタ層、第2の導電型を与える導電性不純物を添加されたベース層、第1の導電型を与える導電性不純物を添加された、あるいは、導電性不純物を添加されていないエミッタ層、および、第1の導電型を与える導電性不純物を添加されたエミッタ電極層からなり、エミッタ層とベース層が異なる材料で構成された、ヘテロ接合バイポーラトランジスタにおいて、第1の導電型がp型であり、コレクタ層(又はエミッタ層)を構成する材料とのヘテロ界面において、価電子帯のエネルギーがコレクタ層(又はエミッタ層)を構成する材料の価電子帯のエネルギーよりも低くかつ伝導電子帯のエネルギーがコレクタ層(又はエミッタ層)を構成する材料の伝導電子帯のエネルギーよりも低く、かつ、ベース層を構成する材料とのヘテロ界面において、価電子帯のエネルギーがベース層を構成する材料の価電子帯のエネルギーよりも低くかつ伝導電子帯のエネルギーがベース層を構成する材料の伝導電子帯のエネルギーよりも低く、なおかつ、コレクタ層(又はエミッタ層)を構成する材料とのヘテロ界面における価電子帯におけるエネルギー不連続量が、ベース層を構成する材料とのエネルギーギャップの差よりも大きい半導体層をベース層とコレクタ層との界面(及び/又はベース層とエミッタ層との界面)に含むことを特徴とするヘテロ接合バイポーラトランジスタに存在する。

【0010】つまり、ベース層を構成するInGaAs、コレクタ層(及び/又はエミッタ層)を構成するInPいずれに対してもエネルギーの高い側へずれたTypeII-staggeredなヘテロ界面を形成し、コレクタ層(及び/又はエミッタ層)との伝導電子帯におけ

るエネルギー障壁の高さがベース層とのエネルギーギャップの差よりも大きくなるような半導体材料であるGaAsSbをベース層とコレクタ層（及び／又はエミッタ層）の界面に挿入することによって実現される。

【0011】ここにおいて、該ヘテロ接合バイポーラトランジスタがInP基板上に構成されており、コレクタ層（又はエミッタ層がInP、ベース層がInGaAsから構成され、ベース層とコレクタ層との界面（及び／又はベース層とエミッタ層との界面）に挿入された半導体層がV族元素としてSbを含む材料から構成されていることが好ましい。

【0012】また、ベース層とコレクタ層と界面（及び／又はベース層とエミッタ層との界面）に挿入された半導体層がGaAsSbであることが好ましい、さらに、前記半導体層は2nm以下であることが好ましい。

【0013】

【発明の実施の形態】InPとGaAsSbの伝導電子帯のエネルギー不連続量は0.19eV、GaAsSbのエネルギーギャップは0.72eV、InGaAsのエネルギーギャップは0.75eVと報告されており、上述の手段を実現しうる材料群である。InGaAsベース層とInPコレクタ層の界面にGaAsSbを挿入した場合のベース・コレクタ層界面付近のバンドプロファイルは図5に示すようになり、InPコレクタ層の伝導電子帯がInGaAsベース層の伝導電子帯のフラット領域よりもエネルギーの低い状態にすることができる。

【0014】また、挿入したGaAsSbの層厚を十分薄くすることによりベース層を走行してきた電子はGaAsSb層をトンネルすることができ、電子輸送に対してはほとんど影響を与えない。すなわち、InGaAsベース・InPコレクタ層界面に存在したエネルギー障壁を実効的に取り除くことができる。したがって、InGaAsベースDHBTの利点（移動度が高く、ベースシート抵抗が低い）を残したまま、GaAsSbベースDHBTの利点（ベース・コレクタ界面に電子に対するエネルギー障壁が形成されない）をあわせて利用することが可能となり、長期信頼性を含めた素子特性を良好に保ちつつ理想的なDHBT特性を実現することができる。

【0015】

【実施例】（実施例1）実施例1は、ベース・コレクタ層界面に1nmのアンドープGaAsSbを挿入した例を示したものである。図6に示すように、InP基板1上にコレクタ電極層としてSiドーブInP2（層厚400nm、Si濃度 $1 \times 10^{19} \text{ cm}^{-3}$ ）、コレクタ層としてアンドープInP3（層厚300nm）、界面挿入層としてアンドープGaAsSbS1（層厚1nm）、ベース層としてCドーブInGaAs4（層厚50nm、C濃度 $4 \times 10^{19} \text{ cm}^{-3}$ ）、エミッタ層

としてSiドーブInP5（層厚50nm、Si濃度 $3 \times 10^{17} \text{ cm}^{-3}$ ）、エミッタ電極層としてSiドーブInP61（層厚20nm、Si濃度 $2 \times 10^{19} \text{ cm}^{-3}$ ）およびSiドーブInGaAs62（層厚100nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ ）を用いている。

【0016】図7は、本実施例によるところのHBTにおけるコレクタ電流—コレクタ電圧特性を示したものである。図3に見られた、ベース・コレクタ層間のエネルギー障壁に起因したキンク現象がなくなって、実効的にエネルギー障壁が取り除かれたことがわかる。

【0017】（実施例2）実施例2は、実施例1に加え、ベース・エミッタ層界面にも1nmのアンドープGaAsSbを挿入した例を示したものである。図7で、コレクタ電流が立ち上がるコレクタ電圧をオフセット電圧と呼ぶが、オフセット電圧はベース・エミッタ界面とベース・コレクタ界面での伝導電子帯のエネルギー不連続量の差で規定される。素子の低電圧動作のためにはオフセット電圧はできるだけ低い方がよい。本実施例では、ベース・エミッタ界面とベース・コレクタ界面を対称構造にすることで伝導電子帯のエネルギー不連続量の差をなくし、もってオフセット電圧を低減させることが可能となる。図8に示すように、InP基板1上にコレクタ電極層としてSiドーブInP2（層厚400nm、Si濃度 $1 \times 10^{19} \text{ cm}^{-3}$ ）、コレクタ層としてアンドープInP3（層厚300nm）、第1の界面挿入層としてアンドープGaAsSbS1（層厚1nm）、ベース層としてCドーブInGaAs4（層厚50nm、C濃度 $4 \times 10^{19} \text{ cm}^{-3}$ ）、第1の界面挿入層としてアンドープGaAsSbS2（層厚1nm）、エミッタ層としてSiドーブInP5（層厚50nm、Si濃度 $3 \times 10^{17} \text{ cm}^{-3}$ ）、エミッタ電極層としてSiドーブInP61（層厚20nm、Si濃度 $2 \times 10^{19} \text{ cm}^{-3}$ ）およびSiドーブInGaAs62（層厚100nm、Si濃度 $3 \times 10^{19} \text{ cm}^{-3}$ ）を用いている。

【0018】図9は、本実施例によるところのHBTにおけるコレクタ電流—コレクタ電圧特性を示したものである。図3に見られた、ベース・コレクタ層間のエネルギー障壁に起因したキンク現象がなくなって、実効的にエネルギー障壁が取り除かれていることは実施例1の場合と同様である。また、オフセット電圧は実施例1の場合、図7から100mV程度と見積もられたが、本実施例では15mV程度と、およそ1/6に低減されている。

【0019】実施例1および実施例2において、界面挿入層は導電性不純物を添加されていないアンドープGaAsSbとしたが、これはP型GaAsSbでもn型GaAsSbでも効果は同じである。また、界面挿入層の層厚を1nmとしたが、これは電子がトンネルできる範

図であればよい。検討の結果、同様の効果を得るには2 nm以下であればよい。

【0020】さらに、n型不純物としてSi、p型不純物としてCを用いているが、これは例えばS、SeやTeなど他のn型不純物や、Zn、Mg、Beなど他のp型不純物を用いてもよい。

【0021】

【発明の効果】以上説明したように、本発明によれば、InGaAsベース層とInPコレクタ層の界面に界面挿入層としてGaAsSbを挿入することにより、InGaAsベース層とInPコレクタ層の界面に存在した伝導電子帯のエネルギー不連続による電子に対するエネルギー障壁を実効的に取り除くことができ、InGaAsベースの利点（移動度が高く、ベースシート抵抗が低い）を残したまま、GaAsSbベースの利点（ベース・コレクタ界面に電子に対するエネルギー障壁が形成されない）をあわせて利用することが可能となり、長期信頼性を含めた素子特性を良好に保ちつつ理想的なヘテロバイポーラトランジスタ特性を実現することができる。

【図面の簡単な説明】

【図1】半導体ヘテロ界面におけるバンド不連続の種類を示した図であり、(a)はType Iであり、(b)はType II-staggeredであり、(c)はType II-misalignedである。

【図2】従来技術によるところのInGaAsベースD HBTのバンドプロファイルを示すものである。

【図3】図2に示したHBTのコレクタ電流、コレクタ電圧特性を示すグラフである。

【図4】従来技術によるところのInGaAsベースD

HBTのバンドプロファイルを示すものである。

【図5】本発明の実施例に係るGaAsSb界面挿入層を有するInGaAsベースD HBTのバンドプロファイルを示すものである。

【図6】実施例1に係り、GaAsSb界面挿入層を有するInGaAsベースD HBTの層構造を示すものである。

【図7】図6に示したコレクタ電流・コレクタ電圧特性を示したものである。

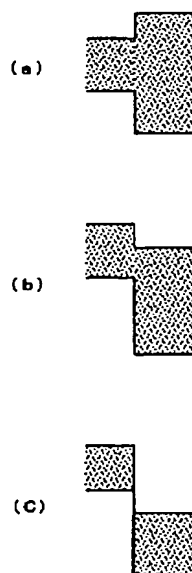
【図8】実施例2に係り、GaAsSb界面挿入層を有するInGaAs D HBTの層構造を示すものである。

【図9】図8に示したコレクタ電流・コレクタ電圧特性を示したものである。

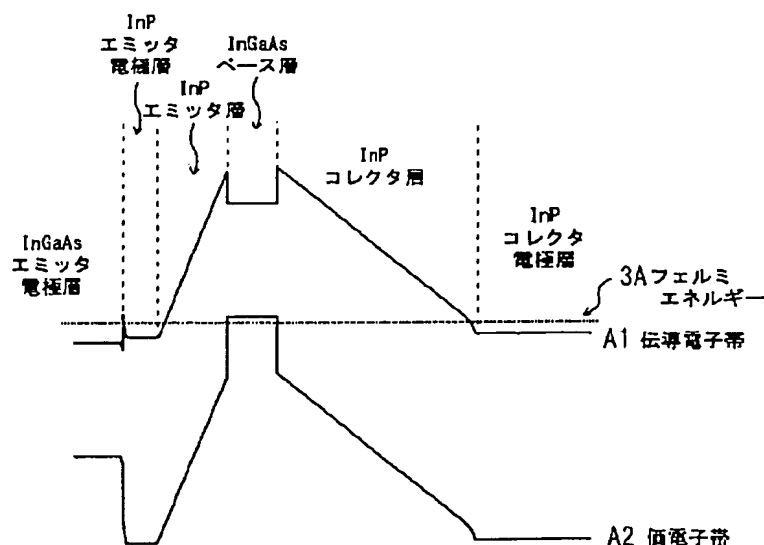
【符号の説明】

- 1 InP基板、
- 2 コレクタ電極層（n型InP）
- 3 コレクタ層（アンドープInP）
- 4 ベース層（p型InGaAs）、
- 5 エミッタ層（n型InP）、
- 62 エミッタ電極層（n型InGaAs）、
- 61 エミッタ電極層（n型InP）、
- S1 界面挿入層（アンドープGaAsSb）、
- M1 コレクタ電極、
- M2 ベース電極、
- M3 エミッタ電極、
- A1 伝導電子体、
- A2 価電子体、
- A3 フェルミエネルギー。

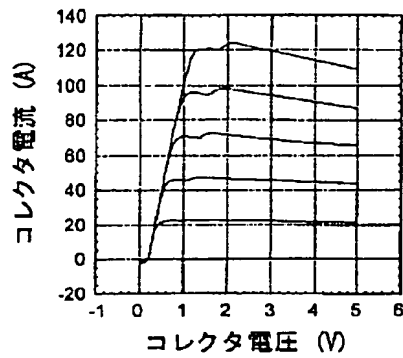
【図1】



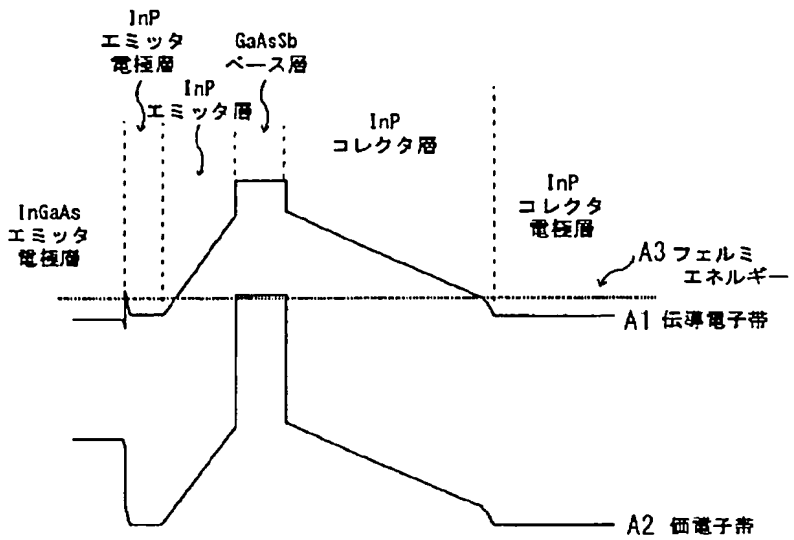
【図2】



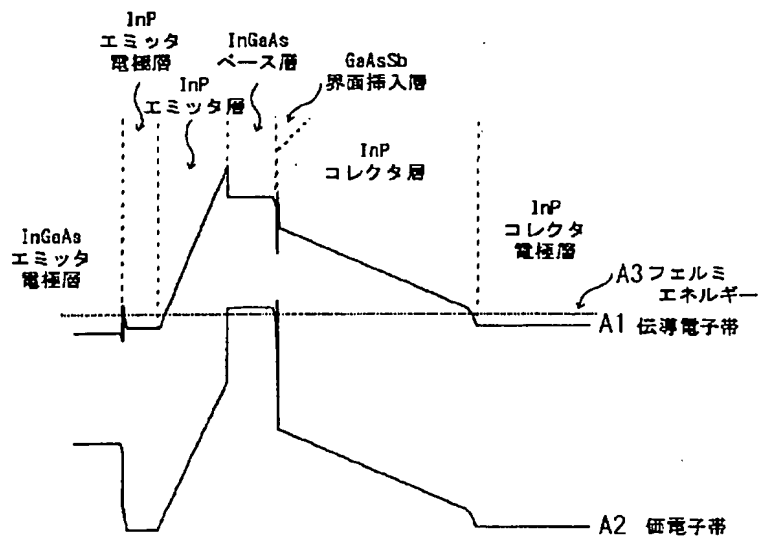
【図3】



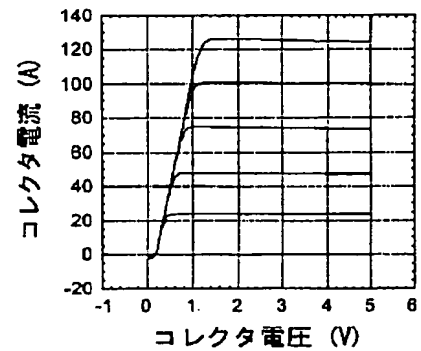
【図4】



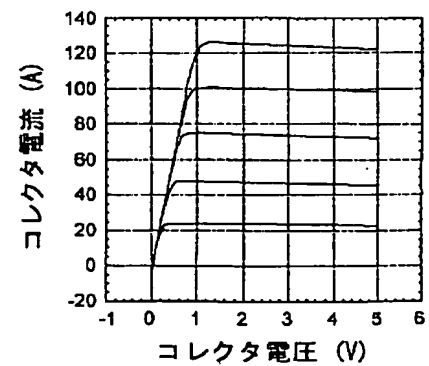
【図5】



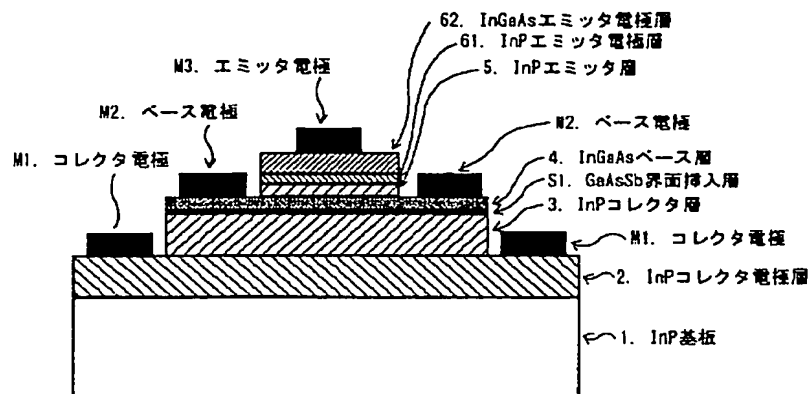
【図7】



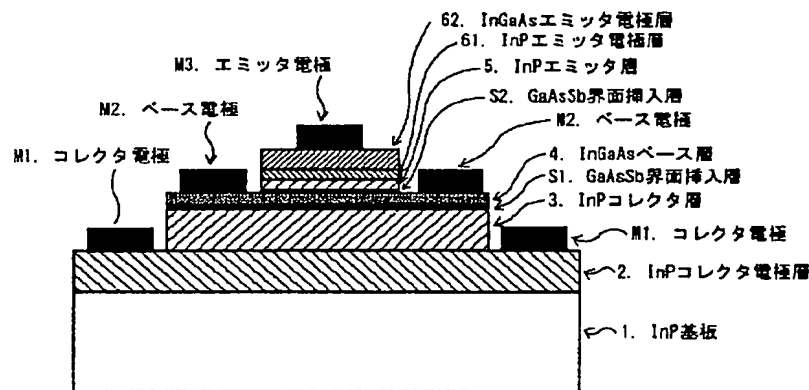
【図9】



【図6】



【図8】



フロントページの続き

Fターム(参考) 5F003 BA01 BB04 BB05 BB08 BC02
BC04 BC08 BF06 BG06 BM03
BP31